

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Norio MASUI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: ADDRESS TRANSLATION UNIT PERFORMING ADDRESS TRANSLATION FROM VIRTUAL
ADDRESS TO PHYSICAL ADDRESS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e). Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-330645	November 14, 2002

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913
C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年11月14日

出願番号

Application Number: 特願2002-330645

[ST.10/C]:

[JP2002-330645]

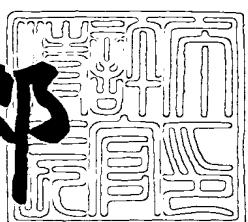
出願人

Applicant(s): 三菱電機株式会社

2002年12月10日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3097709

【書類名】 特許願
【整理番号】 542113JP01
【提出日】 平成14年11月14日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 12/10
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内
【氏名】 横井 規雄
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100089233
【弁理士】
【氏名又は名称】 吉田 茂明
【選任した代理人】
【識別番号】 100088672
【弁理士】
【氏名又は名称】 吉竹 英俊
【選任した代理人】
【識別番号】 100088845
【弁理士】
【氏名又は名称】 有田 貴弘
【手数料の表示】
【予納台帳番号】 012852
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 アドレス変換装置

【特許請求の範囲】

【請求項1】 仮想アドレスから物理アドレスへのアドレス変換を行うアドレス変換装置であって、

前記物理アドレスのデータを保持するデータエントリ部と、

前記データエントリ部のタグとして、アドレス空間識別子および仮想アドレスを記憶するタグエントリ部とを備え、

前記タグエントリ部は、

前記アドレス空間識別子を保持するアドレス空間識別子保持部と、

前記アドレス空間識別子保持部に保持されたアドレス空間識別子保持値と、新たに入力されるアドレス空間識別子入力値とを比較するアドレス空間識別子比較判定部と、

前記仮想アドレスを保持する仮想アドレス保持部と、

前記仮想アドレス保持部に保持された仮想アドレス保持値と、新たに入力される仮想アドレス入力値とを比較する仮想アドレス比較判定部とを備え、

前記仮想アドレス比較判定部は、

その出力ラインをチャージするためのチャージ回路および前記出力ラインへのチャージを禁止するチャージ禁止回路を有し、前記アドレス空間識別子保持値と前記アドレス空間識別子入力値とが一致する場合には、前記仮想アドレス保持値と前記仮想アドレス入力値との比較を行い、その結果に基づいて前記出力ラインの電位状態を制御して前記アドレス変換の実行、非実行を規定し、前記アドレス空間識別子保持値と前記アドレス空間識別子入力値とが不一致の場合には、前記チャージ禁止回路により前記出力ラインへのチャージを禁止するアドレス変換装置。

【請求項2】 前記アドレス空間識別子保持部および前記仮想アドレス保持部は連想メモリで構成され、

前記アドレス空間識別子保持部を構成する連想メモリセルは、アドレス空間識別子比較用マッチラインに接続されるとともに、前記アドレス空間識別子比較判

定部に接続され、

前記仮想アドレス保持部を構成する連想メモリセルは、仮想アドレス比較用マッチラインに接続されるとともに、前記仮想アドレス比較判定部に接続され、

前記仮想アドレス比較判定部は、前記アドレス空間識別子比較判定部での比較結果信号を受け、前記アドレス空間識別子保持値と前記アドレス空間識別子入力値とが一致する場合には、前記仮想アドレス比較用マッチラインをフローティング状態に保ち、少なくとも前記仮想アドレス保持値と前記仮想アドレス入力値との比較を行う、請求項1記載のアドレス変換装置。

【請求項3】 前記タグエントリ部のデータが、有効か否かの情報を保持するバリッドビット部をさらに備え、

前記バリッドビット部は連想メモリで構成され、

前記仮想アドレス比較用マッチラインは、前記バリッドビット部を構成する連想メモリセルにも接続され、

前記仮想アドレス比較判定部は、

前記バリッドビット部に保持されたバリッドビット保持値と、新たに入力されるバリッドビット入力値との比較を併せて行う、請求項2記載のアドレス変換装置。

【請求項4】 仮想アドレスから物理アドレスへのアドレス変換を行うアドレス変換装置であって、

前記物理アドレスのデータを保持するデータエントリ部と、

前記データエントリ部のタグとして、アドレス空間識別子および仮想アドレスを記憶するタグエントリ部とを備え、

前記タグエントリ部は、

前記タグエントリ部のデータが、有効か否かの情報を保持するバリッドビット部と、

前記アドレス空間識別子を保持するアドレス空間識別子保持部と、

前記アドレス空間識別子保持部に保持されたアドレス空間識別子保持値および前記バリッドビット部に保持されたバリッドビット保持値と、新たに入力されるアドレス空間識別子入力値およびバリッドビット入力値とを比較するアドレス空

間識別子比較判定部と、

前記仮想アドレスを保持する仮想アドレス保持部と、

前記仮想アドレス保持部に保持された仮想アドレス保持値と、新たに入力される仮想アドレス入力値とを比較する仮想アドレス比較判定部と、を備え、

前記仮想アドレス比較判定部は、

前記アドレス空間識別子保持値および前記バリッドビット保持値と、前記アドレス空間識別子入力値および前記バリッドビット入力値とがそれぞれ一致する場合には、前記仮想アドレス保持値と前記仮想アドレス入力値との比較を行い、その結果に基づいて前記アドレス変換の実行、非実行を規定し、前記アドレス空間識別子保持値および前記バリッドビット保持値と、前記アドレス空間識別子入力値および前記バリッドビット入力値とがそれぞれ不一致の場合には、その出力ラインに予め定めた所定の値を出力する、アドレス変換装置。

【請求項5】 前記アドレス空間識別子保持部、前記仮想アドレス保持部および前記バリッドビット部は連想メモリで構成され、

前記アドレス空間識別子保持部を構成する連想メモリセルおよび前記バリッドビット部を構成する連想メモリセルは、アドレス空間識別子比較用マッチラインによって並列に接続されるとともに、前記アドレス空間識別子比較判定部に接続され、

前記仮想アドレス保持部を構成する連想メモリセルは、仮想アドレス比較用マッチラインに接続されるとともに、前記仮想アドレス比較判定部に接続され、

前記仮想アドレス比較判定部は、前記アドレス空間識別子比較判定部での比較結果信号を受け、前記アドレス空間識別子保持値および前記バリッドビット保持値と、前記アドレス空間識別子入力値および前記バリッドビット入力値とが一致する場合には、前記仮想アドレス比較用マッチラインをフローティング状態に保ち、前記仮想アドレス保持値と前記仮想アドレス入力値との比較を行う、請求項4記載のアドレス変換装置。

【請求項6】 前記アドレス空間識別子比較判定部は、

MOSトランジスタと、

ラッチと、を備え、

前記MOSトランジスタは、

第1の主電極が電源に接続され、第2の主電極が前記アドレス空間識別子比較用マッチラインに接続され、制御電極に比較動作を制御する比較制御信号が与えられ、

前記ラッチは、

データ入力端子が前記アドレス空間識別子比較用マッチラインに接続され、制御入力端子に前記比較制御信号が与えられ、出力端子から前記比較結果信号が出力される、請求項2または請求項5記載のアドレス変換装置。

【請求項7】 前記仮想アドレス比較判定部は、

直列に接続された導電型の異なる第1および第2のMOSトランジスタと、

インバータと、

ORゲートと、を備え、

前記第1のMOSトランジスタは、

第1の主電極が第1の電源に接続され、第2の主電極が前記仮想アドレス比較用マッチラインに接続され、前記仮想アドレス比較用マッチラインを前記出力ラインとしても使用し、

前記第2のMOSトランジスタは、第1の主電極が前記仮想アドレス比較用マッチラインに接続され、第2の主電極が第2の電源に接続され、

前記インバータは、

その入力に前記比較結果信号が与えられ、その出力は前記第2のMOSトランジスタの制御電極および前記ORゲートの一方の入力に接続され、

前記ORゲートは、

その他方の入力に、比較動作を制御する比較制御信号が与えられ、その出力が前記第1のMOSトランジスタの制御電極に接続される、請求項2または請求項5記載のアドレス変換装置。

【請求項8】 前記アドレス空間識別子比較判定部は、

外部から与えられる外部信号を受け、前記比較結果信号および前記外部信号の一方を選択して、前記仮想アドレス比較判定部に与える機能をさらに有し、

前記アドレス変換装置は、

前記比較結果信号を外部に出力する出力経路をさらに有する、請求項2または請求項5記載のアドレス変換装置。

【請求項9】 前記アドレス空間識別子比較判定部は、
MOSトランジスタと、
ラッチと、
セレクタと、
ORゲートと、を備え、
前記MOSトランジスタは、
第1の主電極が電源に接続され、第2の主電極が前記アドレス空間識別子比較用マッチラインに接続され、制御電極に比較動作を制御する比較制御信号が与えられ、
前記セレクタは、
選択動作の制御信号として選択制御信号が与えられ、入力信号として前記アドレス空間識別子比較用マッチラインの信号および前記外部信号が与えられ、その出力は前記ラッチのデータ入力端子に与えられ、
前記ORゲートは、
その一方の入力に前記比較制御信号が与えられ、
その他方の入力に前記選択制御信号が与えられ、その出力が前記ラッチの制御入力端子に与えられ、
前記ラッチの出力端子から、前記比較結果信号または前記外部信号が出力される、請求項8記載のアドレス変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は仮想アドレスから物理アドレスに変換を行うアドレス変換装置に関し、特に、仮想メモリシステムを扱う中央処理装置(CPU:Central Processing Unit)に付属して用いられるメモリ管理機構(MMU:Memory Management Unit)内のアドレス変換用のトランスレーション・ルックアサイド・バッファ(以下TLBと呼称)に関する。

【0002】

【従来の技術】

仮想メモリシステムを扱うCPUは、命令およびデータをアクセスする際に論理メモリ空間上の仮想メモリアドレスを出力する。しかし、実際の命令およびデータは物理空間上の物理アドレスに保持されているため、MMUを用いて仮想アドレスから物理アドレスに変換を行う。この際、アドレス変換を高速に行うためにMMU内に備えたTLBを用いる。

【0003】

仮想メモリシステムを用いる半導体装置の従来技術としては、例えば、特許文献1に、連想メモリ(CAM: Content Addressable Memory)セルをタグ部として用いたアドレス変換緩衝回路の構成が示されている。すなわち、多重仮想記憶空間の個々の空間の識別を行うためのプロセス識別番号と、アクセスのための実効アドレスを、タグ部において比較する構成が示されている。

【0004】

また、特許文献2には、仮想アドレスから物理アドレスへのアドレス変換に使用されるTLBの高速化のためにマッチラインの寄生容量を低減するCAMの構成例が示されている。

【0005】

【特許文献1】 特開平4-262436号公報（第1欄～第2欄、図3、4）

【特許文献2】 特開平7-282587号公報（第13欄～第14欄、図4）

【0006】

【発明が解決しようとする課題】

仮想アドレスから物理アドレスへのアドレス変換は高速で行うことが要求され、従来からマッチラインの寄生容量を低減するなどして、アドレス変換の高速化が図られてきたが、十分な高速化は達成していないのが現状である。

【0007】

この発明は上記のような問題点を解消するためになされたもので、小さな電力消費で高速に仮想アドレスから物理アドレスに変換できるTLBを提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明に係る請求項1記載のアドレス変換装置は、仮想アドレスから物理アドレスへのアドレス変換を行うアドレス変換装置であって、前記物理アドレスのデータを保持するデータエントリ部と、前記データエントリ部のタグとして、アドレス空間識別子および仮想アドレスを記憶するタグエントリ部とを備え、前記タグエントリ部は、前記アドレス空間識別子を保持するアドレス空間識別子保持部と、前記アドレス空間識別子保持部に保持されたアドレス空間識別子保持値と、新たに入力されるアドレス空間識別子入力値とを比較するアドレス空間識別子比較判定部と、前記仮想アドレスを保持する仮想アドレス保持部と、前記仮想アドレス保持部に保持された仮想アドレス保持値と、新たに入力される仮想アドレス入力値とを比較する仮想アドレス比較判定部とを備え、前記仮想アドレス比較判定部は、その出力ラインをチャージするためのチャージ回路および前記出力ラインへのチャージを禁止するチャージ禁止回路を有し、前記アドレス空間識別子保持値と前記アドレス空間識別子入力値とが一致する場合には、前記仮想アドレス保持値と前記仮想アドレス入力値との比較を行い、その結果に基づいて前記出力ラインの電位状態を制御して前記アドレス変換の実行、非実行を規定し、前記アドレス空間識別子保持値と前記アドレス空間識別子入力値とが不一致の場合には、前記チャージ禁止回路により前記出力ラインへのチャージを禁止する。

【0009】

本発明に係る請求項4記載のアドレス変換装置は、仮想アドレスから物理アドレスへのアドレス変換を行うアドレス変換装置であって、前記物理アドレスのデータを保持するデータエントリ部と、前記データエントリ部のタグとして、アドレス空間識別子および仮想アドレスを記憶するタグエントリ部とを備え、前記タグエントリ部は、前記タグエントリ部のデータが、有効か否かの情報を保持するバリッドビット部と、前記アドレス空間識別子を保持するアドレス空間識別子保持部と、前記アドレス空間識別子保持部に保持されたアドレス空間識別子保持値および前記バリッドビット部に保持されたバリッドビット保持値と、新たに入力されるアドレス空間識別子入力値およびバリッドビット入力値とを比較するアド

レス空間識別子比較判定部と、前記仮想アドレスを保持する仮想アドレス保持部と、前記仮想アドレス保持部に保持された仮想アドレス保持値と、新たに入力される仮想アドレス入力値とを比較する仮想アドレス比較判定部とを備え、前記仮想アドレス比較判定部は、前記アドレス空間識別子保持値および前記バリッドビット保持値と、前記アドレス空間識別子入力値および前記バリッドビット入力値とがそれぞれ一致する場合には、前記仮想アドレス保持値と前記仮想アドレス入力値との比較を行い、その結果に基づいて前記アドレス変換の実行、非実行を規定し、前記アドレス空間識別子保持値および前記バリッドビット保持値と、前記アドレス空間識別子入力値および前記バリッドビット入力値とがそれぞれ不一致の場合には、その出力ラインに予め定めた所定の値を出力する。

【0010】

【発明の実施の形態】

<A. 実施の形態1>

<A-1. 装置構成>

<A-1-1. 全体構成>

まず、図1を用いて本発明に係る実施の形態1のトランスレーション・ルックアサイド・バッファ（TLBと呼称）100の構成について説明する。

【0011】

図1に示すように、TLB100は、動作を制御する制御部805、仮想アドレスを保持するタグ部806、タグ部806に保持された仮想アドレスに対応する物理アドレスを保持するデータ部807とを主たる構成として備えている。

【0012】

制御部805には、外部にあるCPU（図示せず）から出力される仮想アドレスが、仮想アドレス入力経路801を通して与えられ、また、アクセスがどのアドレス空間に対応するかを示すアドレス空間識別子（ASIDと呼称）を保持するASIDレジスタ802から、ASIDがASID入力経路803を通して与えられる。なお、ASIDレジスタ802からは、ASIDレジスタ802の内容が変更されたことを制御部805に通知するASIDレジスタ変更通知信号101が与えられる構成となっている。

【0013】

そして、制御部805からは、外部に向けて物理アドレスが物理アドレス出力経路804を通して出力される構成となっている。

【0014】

また、制御部805とタグ部806との間は、制御部805からタグ部806にA S I Dを入力するA S I D送信経路814、A S I D比較判定動作を制御するA S I D比較制御信号203の送信経路103、制御部805からタグ部806に仮想アドレスを入力する仮想アドレス送信経路815、制御部805からタグ部806にバリッドビットデータを入力するバリッドビットデータ送信経路816、および制御部805からタグ部806に比較判定動作を制御する仮想アドレス比較制御信号1002を入力する制御信号送信経路818によって接続されている。

【0015】

また、制御部805とデータ部807との間は、データ部807から読み出された物理アドレスを制御部805に送る物理アドレス送信経路821によって接続されている。

【0016】

<A-1-2. タグ部の構成>

タグ部806は、組をなすA S I Dおよび仮想アドレスを保持するタグエントリ部808を複数備えている。

【0017】

そして、タグエントリ部808内には、A S I Dを保持するA S I D保持部810、仮想アドレスを保持する仮想アドレス保持部811、タグエントリ部808に保持されているデータが有効か否かの情報を保持するバリッドビット部812、入力されたA S I Dと、タグエントリ部808内のA S I D保持部810での保持内容との比較判定を行うA S I D比較判定部102、入力された仮想アドレスとタグエントリ部808内の仮想アドレス保持部811での保持内容および入力されたバリッドビットデータとバリッドビット部812での保持内容との比較判定を行う仮想アドレス比較判定部104とを備えている。

【0018】

なお、A S I D比較判定部102および仮想アドレス比較判定部104は各タグエントリ部808ごとに1つずつ備えられている。

【0019】

ここで、A S I D保持部810および仮想アドレス保持部811は、複数の連想メモリセル（CAMセルと呼称）813で構成され、バリッドビット部812は、1つのCAMセルで構成されている。なお、バリッドビット部812は、例えば、データを全く有さないタグエントリ部808においては、バリッドビット部812のCAMセル813にはデータ0を保持し、何らかのデータを有するタグエントリ部808においては、バリッドビット部812のCAMセル813にはデータ1を保持するなど、比較的簡単な情報によって、タグエントリ部808に保持されているデータが有効か否かを明示するものである。

【0020】

そして、タグエントリ部808内のA S I D保持部810の複数のCAMセル813は、A S I Dマッチライン105によって並列に接続されるとともに、A S I D比較判定部102に接続されている。なお、A S I Dマッチライン105は、A S I Dの比較動作に際して使用される。

【0021】

また、タグエントリ部808内の仮想アドレス保持部811の複数のCAMセル813およびバリッドビット部812内のCAMセル813は、仮想アドレスマッチライン106によって並列に接続されるとともに、そのタグエントリ808に対応する仮想アドレス比較判定部104に接続されている。なお、仮想アドレスマッチライン106は、仮想アドレスおよびバリッドビットの比較動作に際して使用される。

【0022】

また、A S I D比較判定部102からは、仮想アドレス比較判定部104にA S I D有効信号107が与えられる構成となっている。

【0023】

<A-1-3. データ部の構成>

データ部807は、¹1つの物理アドレスのデータを保持するデータエントリ部809を複数備えており、データエントリ部809の個数は、タグ部806におけるタグエントリ部808と同数であり、1つのデータエントリ部809と1つのタグエントリ部808とで、対になって動作する。

【0024】

すなわち、個々のデータエントリ部809に対して、タグとして機能するものが対をなすタグエントリ部808であり、タグ部806内の各タグエントリ部808における仮想アドレスマッチライン106の値は、比較結果通知経路820を介してデータ部807に送られ、タグエントリ部808と対をなすデータエントリ部809に与えられる。

【0025】

<A-1-4. ASID比較判定部の構成>

図2にASID比較判定部102の回路構成の一例を示す。図2に示すようにASID比較判定部102は、Pチャネル型のMOSトランジスタ201と、ラッチ202とを備えている。

【0026】

MOSトランジスタ201のソースは電源PSに、ドレインはASIDマッチライン105に各自接続される。また、MOSトランジスタ201のゲートは、ASID比較動作を制御するASID比較制御信号203（比較制御信号）が与えられる。

【0027】

また、ラッチ202の制御入力端子（C）には、ASID比較制御信号203が与えられ、データ入力端子（D）は、ASIDマッチライン105に接続される。

【0028】

そして、ラッチ202の出力端子（O）からは、ASID有効信号107が出力され、仮想アドレス比較判定部104に与えられる。

【0029】

<A-1-5. 仮想アドレス比較判定部の構成>

図3に仮想アドレス比較判定部104の回路構成の一例を示す。図3に示すように、仮想アドレス比較判定部104は、Pチャネル型のMOSトランジスタ301、Nチャネル型のMOSトランジスタ302、インバータ303およびORゲート304を備えている。

【0030】

MOSトランジスタ301のソースは電源PSに、ドレインは仮想アドレスマッチライン106に接続され、MOSトランジスタ302のソースはグランドGNDに、ドレインは仮想アドレスマッチライン106に接続されている。

【0031】

インバータ303の入力にはASID有効信号107が与えられ、その出力はMOSトランジスタ302のゲートおよびORゲート304の一方の入力に接続される。

【0032】

また、ORゲート304の他方の入力には、比較動作を制御する仮想アドレス比較制御信号1002（比較制御信号）が与えられ、その出力はMOSトランジスタ301のゲートに接続され、インバータ303の出力はNチャネルトランジスタ302のゲートに接続される。ここで、仮想アドレス比較制御信号1002は、制御部805から制御信号送信経路818を介してタグ部806の各タグエンタリ部808に対応する仮想アドレス比較判定部104に与えられる信号である。

【0033】

<A-1-6. CAMセルの構成>

図4にCAMセル813の回路構成の一例を示す。図4に示すように、CAMセル813は、TLB100の動作状態に応じて、ASID、仮想アドレスおよびバリッドビットデータの何れかを保持するメモリ回路901と、CMOSトランスマッシュョンゲート（以下TGと呼称）903Aおよび903Bと、Nチャネル型のMOSトランジスタ905とを備えている。

【0034】

メモリ回路901は、ワード線WLにゲートが接続されたNチャネル型のMO

Sトランジスタ9011および9012と、逆並列に接続されたインバータ9013および9014を有している。

【0035】

インバータ9013の入力およびインバタ回路9014の出力はMOSトランジスタ9011のソースに接続され、MOSトランジスタ9011のドレインは、ビット線BL1に接続されている。また、インバータ9013の出力およびインバタ回路9014の入力はMOSトランジスタ9012のソースに接続され、MOSトランジスタ9012のドレインは、ビット線BL2に接続されている。

【0036】

そして、MOSトランジスタ9011のソースからは、メモリ回路901が保持する値の正論理値を示すメモリ正信号902Aが出力され、また、MOSトランジスタ9012のソースからは、メモリ回路901が保持する値の負論理値を示すメモリ負信号902Bが出力される。

【0037】

また、メモリ正信号902Aは、TG903Aを構成するPチャネル型のMOSトランジスタのゲートおよび、TG903Bを構成するNチャネル型のMOSトランジスタのゲートに与えられる構成となっている。

【0038】

また、メモリ正信号902Bは、TG903Aを構成するNチャネル型のMOSトランジスタのゲートおよび、TG903Bを構成するPチャネル型のMOSトランジスタのゲートに与えられる構成となっている。

【0039】

そして、TG903Aのソースには比較正信号904Aが、TG903Bのソースには比較負信号904Bが与えられ、TG903AおよびTG903BのドレインはMOSトランジスタ905のゲートに接続されている。

【0040】

ここで、比較正信号904Aは、制御部805から入力されるASIDもしくは仮想アドレスもしくはバリッドビットデータの正論理値を示す信号である。

【0041】

また、比較負信号904Bは、制御部805から入力されるA S I Dもしくは仮想アドレスもしくはバリッドビットデータの負論理値を示す信号である。

【0042】

なお、MOSトランジスタ905のドレインはA S I Dマッチライン105（または仮想アドレスマッチライン106）に接続され、ソースはグランドGNDに接続される。

【0043】

<A-2. 装置動作>

次にT L B 1 0 0 の動作について、図1～図3を参照しつつ説明する。

まず、T L B 1 0 0 がアドレス変換動作を行っていないときは、制御部805からA S I D比較制御信号送信経路103を介してタグ部806の各タグエントリ部808のA S I D比較判定部102に与えられるA S I D比較制御信号がLレベル（低電位レベル）になっている。

【0044】

このため、A S I D比較判定部102（図2）のMOSトランジスタ201がオン状態となり、A S I Dマッチライン105がHレベル（高電位レベル）にチャージされている。

【0045】

そして、A S I Dレジスタ802の内容が書き換えられた場合、A S I Dレジスタ変更通知信号101によりA S I Dレジスタ802の内容が書き換えられたことが制御部805に通知される。

【0046】

A S I Dレジスタ802の内容が書き換えられたことが制御部805に通知された場合、もしくはタグ部806の何れかのタグエントリ部808のA S I D保持部810の保持内容が変更された場合、制御部805はA S I D比較動作を開始する。

【0047】

すなわち、A S I Dレジスタ802の内容が書き換えられた場合を例に採れば

、制御部805は、複数のタグエントリ部808の全てに対して、書き換えられたA S I Dレジスタ802の内容（A S I D入力値）と、A S I D保持部810の保持内容（A S I D保持値）との比較動作（A S I D比較動作）を実行する。

【0048】

なお、A S I D保持部810の保持内容が変更される場合とは、タグエントリ部808内のデータを書き換えるような場合であり、A S I Dレジスタ802の書き換えとは異なる動作である。

【0049】

A S I D比較動作を行う場合、A S I Dレジスタ802に保持されているA S I DがA S I D入力経路803を介して制御部805に入力される。また、A S I D比較動作を行う場合、制御部805からA S I D比較制御信号送信経路103を介してタグ部806の各タグエントリ部808のA S I D比較判定部102に与えられるA S I D比較制御信号がHレベルになっている。

【0050】

A S I D比較制御信号がHレベルになると、A S I D比較判定部102のPチャネルトランジスタ201がオフ状態になる。

【0051】

次に、制御部805からA S I D送信経路814を介してA S I Dがタグ部806に与えられ、各タグエントリ部808のA S I D保持部810の複数のC A Mセル813に与えられる。

【0052】

なお、A S I D保持部810に与えられるA S I Dは、各々の対応するC A Mセル813（図4）に、その正論理値が比較正信号904Aとして、その負論理値が比較負信号904Bとして与えられる。

【0053】

〈A-2-1. C A Mセル、タグ部の動作〉

C A Mセル813では、メモリ回路901がデータ1を保持している場合はメモリ正信号902AがHレベルに、メモリ負信号902BがLレベルになっており、メモリ回路901がデータ0を保持している場合にはメモリ正信号902A

がLレベルに、メモリ負信号902BがHレベルになっている。

【0054】

そして、メモリ回路901が、データ1を保持している場合はTG903Aがオフ状態でTG903Bがオン状態に、データ0を保持している場合はTG903Aがオン状態でTG903Bがオフ状態になっている。

【0055】

従って、メモリ回路901が、データ1を保持している場合には比較負信号904BがTG903Bを通してMOSトランジスタ905のゲートに与えられ、データ0を保持している場合には比較正信号904AがTG903Aを通してMOSトランジスタ905のゲートに与えられる。

【0056】

このため、メモリ回路901がデータ1を保持している場合に、比較値が1のとき、すなわち、比較正信号904AがHレベルで比較負信号904BがLレベルのときは、MOSトランジスタ905のゲートがLレベルとなり、MOSトランジスタ905がオフ状態となる。

【0057】

また、メモリ回路901がデータ0を保持している場合に、比較値が0のとき、すなわち比較正信号904AがLレベルで比較負信号904BがHレベルのときは、MOSトランジスタ905のゲートがLレベルとなり、MOSトランジスタ905はオフ状態となる。

【0058】

一方、メモリ回路901がデータ1を保持している場合に、比較値が0のとき、すなわち比較正信号904AがLレベルで比較負信号904BがHレベルのときは、MOSトランジスタ905のゲートがHレベルとなり、MOSトランジスタ905がオン状態となる。

【0059】

また、メモリ回路901がデータ0を保持している場合に、比較値が1のとき、すなわち比較正信号904AがHレベルで比較負信号904BがLレベルのときは、Nチャネルトランジスタ905のドレインがHレベルとなりMOSトラン

ジスタ905はオン状態となる。

【0060】

つまり、メモリ回路901の保持値と比較値が一致しているときは、MOSトランジスタ905がオフ状態となり、不一致の場合はMOSトランジスタ905がオン状態となる。

【0061】

この結果、ASIDマッチライン105は、ASID保持部810内の全てのCAMセル813でメモリ回路901の保持値と比較値とが一致している場合は、各CAMセル813内のMOSトランジスタ905がオフ状態となるのでHレベルを維持する。一方、ASID保持部810内の複数のCAMセル813のうち、1つでもメモリ回路901の保持値と比較値とが不一致の場合は、不一致のCAMセル813内のMOSトランジスタ905がオン状態になっているので、HレベルからLレベルにディスチャージされる。

【0062】

例えば、ASID保持部810では、保持しているASIDと入力されるASIDとが全て一致した場合には、ASIDマッチライン105はHレベルを維持し、保持しているASIDと入力されるASIDとが1つでも不一致の場合には、ASIDマッチライン105はLレベルにディスチャージされることになる。

【0063】

同様に、仮想アドレス保持部811においては、保持している仮想アドレスと入力される仮想アドレスとが全て一致した場合には、仮想アドレスマッチライン106はHレベルを維持し、保持している仮想アドレスと入力される仮想アドレスとが1つでも不一致の場合には、仮想アドレスマッチライン106はLレベルにディスチャージされることになる。

【0064】

〈A-2-2. ASID比較判定部、仮想アドレス比較判定部の動作〉

制御部805からASID比較制御信号送信経路103を介してタグ部806に与えられるASID比較制御信号がHレベルの場合、各タグエントリ部808内のASID比較判定部102に接続されているASID比較制御信号203（

図2)がHレベルとなる。

【0065】

ASID比較判定部102内のラッチ202は、ASIDマッチライン105の値を取り込み、ASID比較動作が終了しASID比較制御信号203がLレベルになると、取り込んだASIDマッチライン105の値を保持する。

【0066】

ラッチ202の出力端子(O)からは、ASID有効信号107が出力され、このASID比較判定部102を有するタグエントリ部808に対応して設けられた仮想アドレス比較判定部104に入力される。

【0067】

すなわち、ASID比較動作の結果、入力されたASIDと保持しているASIDが一致するタグエントリ部808では、そのASIDマッチライン105はHレベルを維持し、HレベルのASID有効信号107が、対応する仮想アドレス比較判定部104に入力される。

【0068】

一方、入力されたASIDと保持しているASIDが不一致のタグエントリ部808では、そのASIDマッチライン105はLレベルにディスチャージされ、LレベルのASID有効信号107が、対応する仮想アドレス比較判定部104に入力される。

【0069】

仮想アドレス比較判定部104では、ASID有効信号107がLレベルの場合、インバータ303(図3)およびORゲート304を介してMOSトランジスタ301のゲートにはHレベルの信号が与えられ、また、インバータ303を介して、MOSトランジスタ302のゲートにはHレベルの信号が与えられる。

【0070】

従って、MOSトランジスタ301はオフ状態に、MOSトランジスタ302はオン状態になり、仮想アドレスマッチライン106はMOSトランジスタ302を介してディスチャージされてLレベルになる。

【0071】

また、A S I D有効信号107がHレベルの場合、インバータ303を介してMOSトランジスタ302のゲートにはLレベルの信号が与えられ、また、ORゲート304を介してMOSトランジスタ301のゲートには仮想アドレス比較制御信号1002と同レベルの信号が与えられる。

【0072】

従って、MOSトランジスタ302はオフ状態になり、MOSトランジスタ301は、仮想アドレス比較制御信号1002がLレベルの場合はオン状態になり、仮想アドレス比較制御信号1002がHレベルの場合はオフ状態になる。

【0073】

なお、TLB100がアドレス変換動作をしていないときは、仮想アドレス比較制御信号1002がLレベルになっている。

【0074】

このため、A S I D有効信号107がHレベルのタグエントリ部808に対応する仮想アドレス比較判定部104では、MOSトランジスタ301がオン状態となり、仮想アドレスマッチライン106がHレベルにチャージされている。

【0075】

一方、A S I D有効信号107がLレベルのタグエントリ部808に対応する仮想アドレス比較判定部104では、MOSトランジスタ302がオン状態となり仮想アドレスマッチライン106はLレベルにディスチャージされている。

【0076】

なお、電源P S、MOSトランジスタ301およびそれらを接続するとともに、MOSトランジスタ301のドレインを仮想アドレスマッチライン106に接続する配線等で構成する回路は、機能的には出力ラインでもある仮想アドレスマッチライン106をチャージするためのチャージ回路であると言うことができ、また、ORゲート304と、それらの入力ラインおよび出力ライン等で構成する回路は、機能的には出力ラインでもある仮想アドレスマッチライン106へのチャージを禁止するチャージ禁止回路であると言うことができる。

【0077】

<A-2-3. 仮想アドレスから物理アドレスへの変換>

仮想アドレスから物理アドレスへの変換を行うのに先だって、仮想アドレス比較判定部104において仮想アドレスの比較動作を行う。

【0078】

そのために、まず仮想アドレスが仮想アドレス入力経路801を介して制御部805に入力される。次に、制御部805から制御信号送信経路818を介して各仮想アドレス比較判定部104に与えられる仮想アドレス比較制御信号1002がHレベルとなり、MOSトランジスタ301(図3)がオフ状態になる。このとき、既にMOSトランジスタ302はオフ状態になっているので、仮想アドレスマッチライン106はHレベルを維持した状態でフローティング状態となる。

【0079】

次に、仮想アドレスが制御部805から仮想アドレス送信経路815を介してタグ部806の各タグエントリ部808に入力され、各仮想アドレス保持部811の複数のCAMセル813に与えられる。

【0080】

また、バリッドビットデータが制御部805からバリッドビットデータ送信経路816を介してタグ部806に入力され、各タグエントリ部808のバリッドビット部812のCAMセル813に与えられる。

【0081】

なお、仮想アドレス保持部811およびバリッドビット部812に与えられる仮想アドレスおよびバリッドビットデータは、各々の対応するCAMセル813に、その正論理値が比較正信号904Aとして、その負論理値が比較負信号904Bとして与えられる。

【0082】

そして、仮想アドレス保持部811およびバリッドビット部812内のCAMセル813では、先に説明した動作で、保持値と比較値との比較が行われる。

【0083】

すなわち、各タグエントリ部808の仮想アドレスマッチライン106は、そのタグエントリ部808の仮想アドレス保持部811およびバリッドビット部8

12に含まれる全てのCAMセル813において、メモリ回路901の保持値と比較値が一致している場合はHレベルを維持し、1つでも不一致の場合はLレベルにディスチャージされる。

【0084】

つまり、各タグエントリ部808ごとに保持している仮想アドレスおよびバリッドビットデータと、入力される仮想アドレスおよびバリッドビットデータが全て一致した場合は、仮想アドレスマッチライン106はHレベルを維持し、1つでも不一致の場合は、仮想アドレスマッチライン106はLレベルにディスチャージされる。そして、仮想アドレス比較判定部104での比較動作の結果、仮想アドレスマッチライン106がHレベルを維持する場合、そのタグエントリ部808が、入力されたASIDおよび仮想アドレスに対応する物理アドレスを有するデータエントリ部809のタグであるということになる。

【0085】

仮想アドレスの比較動作が終わると、所定のタイミングで仮想アドレスマッチライン106の値（ここではHレベル）が、比較結果通知経路820を介してデータ部807に与えられ、Hレベルが与えられたデータエントリ部809に保持された物理アドレスが物理アドレス送信経路821を介して制御部805に送られ、さらに物理アドレス出力経路804を介して出力され、仮想アドレスから物理アドレスへの変換が実行される。なお出力された物理アドレスは、外部のキャッシュメモリや周辺回路に与えられる。

【0086】

なお、仮想アドレスの比較動作の結果、保持値と比較値とが一致しない場合は、仮想アドレスマッチライン106はLレベルにディスチャージされ、当該タグエントリ部808は、入力されたASIDおよび仮想アドレスに対応する物理アドレスを有するデータエントリ部809のタグではないということになる。また、仮想アドレスマッチライン106はLレベルであるので、データ部807に与えられてもアドレス変換は実行されない。

【0087】

なお、仮想アドレスマッチライン106は、仮想アドレス保持部811および

バリッドビット部812での保持値と比較値とが不一致の場合はLレベルにディスチャージされるとして説明したが、一致する場合にLレベルにディスチャージするように構成することも可能であり、本発明は、その場合にも適用可能である。

【0088】

<A-3. 効果>

以上説明したように、TLB100においては、ASID保持部810に入力されたASIDと、保持されたASIDとの比較結果を出力するASIDマッチライン105を設けるとともに、仮想アドレス保持部811およびバリッドビット部812に入力された仮想アドレスおよびバリッドビットデータと、保持された仮想アドレスおよびバリッドビットデータとの比較結果を出力する仮想アドレスマッチライン106とを設け、ASIDマッチライン105にはASID比較判定部102を接続したので、ASIDレジスタ802の内容が書き換えられた場合、もしくは何れかのタグエントリ部808のASID保持部810の保持内容が変更された場合に、ASIDについてのみ比較動作を行うことができる。

【0089】

また、仮想アドレスから物理アドレスへの変換動作を行う際には、仮想アドレスおよびバリッドビットデータについてのみ比較動作を行うことになる。

【0090】

この結果、仮想アドレスから物理アドレスへの変換動作を行う際には、仮想アドレス保持部811およびバリッドビット部812の配線容量およびディスチャージトランジスタ（各CAMセル813内のMOSトランジスタ905）のドレンイン容量に対する電荷のみをディスチャージすればよく、ASID保持部810の配線容量およびディスチャージトランジスタのドレンイン容量に対する電荷についてはディスチャージせずに済むので消費電力を減らすことができ、また比較速度も向上させることができる。

【0091】

また、ASID比較結果をASID有効信号107として仮想アドレス比較判定部104に与えることで、ASIDの比較結果が不一致の場合、仮想アドレス

マッチライン106をLレベルに固定し、仮想アドレスから物理アドレスへの変換動作を行う際にはASIDの比較結果が一致したタグエントリ部808のみ仮想アドレスの比較対象にするように仮想アドレス比較判定部104を構成したので、ASIDの比較結果が不一致のタグエントリ部808の仮想アドレスマッチライン106のディスチャージによる消費電力を削減することができる。

【0092】

<B. 実施の形態2>

<B-1. 装置構成>

図5を用いて本発明に係る実施の形態2のTLB200の構成について説明する。なお、図1に示したTLB100と同一の構成については同一の符号を付し、重複する説明は省略する。

【0093】

図5に示すように、TLB200は、各タグエントリ部808において、ASIDアドレスマッチライン401によって、ASID保持部808の複数のCAMセル813と、バリッドビット部812のCAMセル813とが並列に接続されるとともに、ASID比較判定部102Aにも接続されている。

【0094】

また、仮想アドレス保持部811の複数のCAMセル813と、当該仮想アドレス保持部811を含むタグエントリ部808に対応する仮想アドレス比較判定部104Aとが、仮想アドレスマッチライン402によって接続されている。

【0095】

ここで、ASID比較判定部102Aは、タグエントリ部808に入力されたASIDおよびバリッドビットデータと、ASID保持部810およびバリッドビット部812での保持内容との比較判定を行い、仮想アドレス比較判定部104Aは、タグエントリ部808に入力された仮想アドレスと仮想アドレス保持部811の保持内容との比較判定を行う。

【0096】

なお、ASID比較判定部102Aの構成は、図2を用いて説明したASID比較判定部102と同様であるが、ASIDアドレスマッチライン105がAS

IDアドレスマッチライン401に代わることになる。

【0097】

また、仮想アドレス比較判定部104Aの構成は、図3を用いて説明した仮想アドレス比較判定部104と同様であるが、仮想アドレスマッチライン106が仮想アドレスマッチライン402に代わることになる。

【0098】

<B-2. 装置動作>

次にTLB200の動作について、図5を参照しつつ説明する。なお、アドレス変換動作を行っていない場合の動作はTLB100と同じであるので説明は省略する。

【0099】

ASIDレジスタ802の内容が書き換えられた場合、ASIDレジスタ変更通知信号101によりASIDレジスタ802の内容が書き換えられたことが制御部805に通知される。

【0100】

ASIDレジスタ802の内容が書き換えられたことが制御部805に通知された場合、もしくはタグ部806の何れかのタグエントリ部808のASID保持部810の保持内容が変更された場合、制御部805はASID比較動作を開始する。

【0101】

ASID比較動作を行う場合、ASIDレジスタ802に保持されているASIDがASID入力経路803を介して制御部805に入力される。また、ASID比較動作を行う場合、制御部805からASID比較制御信号送信経路103を介してタグ部806の各タグエントリ部808のASID比較判定部102に与えられるASID比較制御信号がHレベルになっている。

【0102】

ASID比較制御信号がHレベルになると、ASID比較判定部102のPチャネルトランジスタ201がオフ状態になる。

【0103】

次に、制御部805からASID送信経路814を介してASIDがタグ部806に与えられ、各タグエントリ部808のASID保持部810の複数のCAMセル813に与えられる。

【0104】

また、バリッドビットデータが制御部805からバリッドビットデータ送信経路816を介してタグ部806に入力され、各タグエントリ部808のバリッドビット部812のCAMセル813に与えられる。

【0105】

なお、ASID保持部810およびバリッドビット部812に与えられるASIDおよびバリッドビットデータは、各々の対応するCAMセル813（図4）に、その正論理値が比較正信号904Aとして、その負論理値が比較信号904Bとして与えられる。

【0106】

なお、ASID保持部810およびバリッドビット部812内のCAMセル813では先に説明した動作で、保持値と比較値との比較が行われる。

【0107】

すなわち、各タグエントリ部808のASIDマッチライン401は、そのタグエントリ部808のASID保持部810およびバリッドビット部812に含まれる全てのCAMセル813において、メモリ回路901の保持値と比較値が一致している場合はHレベルを維持し、CAMセル813うちの1つでもメモリ回路901の保持値と比較値が不一致の場合はLレベルにディスチャージされる。

【0108】

つまり、各タグエントリ部808ごとに保持しているASIDおよびバリッドビットデータと、入力されるASIDおよびバリッドビットデータとが一致した場合は、ASIDマッチライン401はHレベルを維持し、不一致の場合は、ASIDマッチライン401はLレベルにディスチャージされる。

【0109】

なお、ASID比較判定部102Aの動作は、実施の形態1で説明したASI

D比較判定部102と同様であり、重複する説明は省略するが、ASID比較動作の結果、入力されたASIDおよびバリッドビットデータと保持しているASIDおよびバリッドビットデータとが一致するタグエントリ部808では、そのASIDマッチライン401はHレベルを維持し、HレベルのASID有効信号107が、対応する仮想アドレス比較判定部104Aに入力される。

【0110】

一方、入力されたASIDおよびバリッドビットデータと保持しているASIDおよびバリッドビットデータとが不一致のタグエントリ部808では、そのASIDマッチライン401はLレベルにディスチャージされ、LレベルのASID有効信号107が、対応する仮想アドレス比較判定部104Aに入力される。

【0111】

なお、アドレス変換動作をしていないときの仮想アドレス比較判定部104Aの動作は、実施の形態1で説明した仮想アドレス比較判定部104Aと同様であり、重複する説明は省略する。

【0112】

仮想アドレスから物理アドレスへの変換を行うのに先だって、仮想アドレス比較判定部104Aにおいて仮想アドレスの比較動作を行う。そのために、まず仮想アドレスが仮想アドレス入力経路801を介して制御部805に入力される。次に、制御部805から制御信号送信経路818を介して各仮想アドレス比較判定部104に与えられる仮想アドレス比較制御信号1002がHレベルとなり、Pチャネルトランジスタ301(図3)がオフ状態になる。このとき、既にMOSトランジスタ302はオフ状態になっているので、仮想アドレスマッチライン402はHレベルを維持した状態でフローティング状態となる。

【0113】

次に、仮想アドレスが制御部805から仮想アドレス送信経路815を介してタグ部806の各タグエントリ部808に入力され、各仮想アドレス保持部811の複数のCAMセル813に与えられる。

【0114】

なお、仮想アドレス保持部811に与えられる仮想アドレスは、各々の対応す

るCAMセル813に、その正論理値が比較正信号904Aとして、その負論理値が比較負信号904Bとして与えられる。

【0115】

そして、仮想アドレス保持部811内のCAMセル813では、先に説明した動作で、保持値と比較値との比較が行われる。

【0116】

すなわち、各タグエントリ部808の仮想アドレスマッチライン402は、そのタグエントリ部808の仮想アドレス保持部811内の全てのCAMセル813において、メモリ回路901の保持値と比較値が一致している場合はHレベルを維持し、CAMセル813のうち、1つでもメモリ回路901の保持値と比較値が不一致の場合はLレベルにディスチャージされる。

【0117】

仮想アドレスの比較動作が終わると、所定のタイミングで仮想アドレスマッチライン402の値（ここではHレベル）が、比較結果通知経路820を介してデータ部807に与えられ、Hレベルが与えられたデータエントリ部809に保持された物理アドレスが物理アドレス送信経路821を介して制御部805に送られ、さらに物理アドレス出力経路804を介して出力され、仮想アドレスから物理アドレスへの変換が終了する。

【0118】

なお、仮想アドレスマッチライン402は、仮想アドレス保持部811での保持値と比較値とが不一致の場合はLレベルにディスチャージされるとして説明したが、一致する場合にLレベルにディスチャージするように構成することも可能であり、本発明は、その場合にも適用可能である。

【0119】

<B-3. 効果>

以上説明したように、TLB200においては、ASID保持部810およびバリッドビット部812に入力されたASIDおよびバリッドビットデータと、保持されたASIDおよびバリッドビットデータとの比較結果を出力するASIDマッチライン401を設けるとともに、仮想アドレス保持部811に入力され

た仮想アドレスと、保持された仮想アドレスとの比較結果を出力する仮想アドレスマッチライン402とを設け、ASIDマッチライン401にはASID比較判定部102を接続したので、ASIDレジスタ802の内容が書き換えられた場合、もしくは何れかのタグエントリ部808のASID保持部810の保持内容もしくはバリッドビット部812の保持内容が変更された場合に、ASIDおよびバリッドデータについてのみ比較動作を行うことができる。

【0120】

また、仮想アドレスから物理アドレスへの変換動作を行う際には仮想アドレスのみ比較動作を行うことができる。

【0121】

この結果、仮想アドレスから物理アドレスへの変化の動作を行う際には、仮想アドレス保持部811の配線容量およびディスチャージトランジスタ（各CAMセル813内のMOSトランジスタ905）のドレイン容量に対する電荷のみをディスチャージすればよく、ASID保持部810の配線容量およびディスチャージトランジスタのドレイン容量に対する電荷についてはディスチャージせずに済むので消費電力を減らすことができ、また比較速度も向上させることができる。

【0122】

なお、ASIDレジスタ802が変更される頻度は、仮想アドレスから物理アドレスへの変換動作を行う頻度に比べて少なく、ASIDおよびバリッドデータについて比較動作を行うとしても、消費電力の増加による影響は少ない。

【0123】

また、ASID比較時にASIDに加えてバリッドビットデータも比較するようにしたので、各タグエントリ部808の内、保持内容が有効でかつ保持しているASIDがASIDレジスタ802の内容と一致している場合のみASID有効信号107をHレベルに、それ以外の場合をLレベルにできる。

【0124】

このASID有効信号107を仮想アドレス比較判定部104Aに与えることで、保持内容が無効、または保持しているASIDがASIDレジスタ802の

内容と不一致の場合、仮想アドレスマッチライン402をLレベルに固定し、仮想アドレスから物理アドレスへの変換動作を行う際には保持内容が有効でかつ、保持しているA S I DがA S I Dレジスタ802の値と一致したタグエントリ部808のみ仮想アドレスの比較対象とするように、仮想アドレス比較判定部104を構成したので、保持内容が無効または保持しているA S I Dの比較結果が不一致のタグエントリ部808の仮想アドレスマッチライン402のディスチャージによる消費電力を削減することができる。

【0125】

<C. 実施の形態3>

<C-1. 装置構成>

<C-1-1. 全体構成>

図6を用いて本発明に係る実施の形態3のT L B 3 0 0の構成について説明する。なお、図1に示したT L B 1 0 0と同一の構成については同一の符号を付し、重複する説明は省略する。

【0126】

図5に示すように、T L B 3 0 0は、T L B 1 0 0におけるA S I D比較判定部102に代えて、A S I D比較判定部501を有している。そして、A S I D比較判定部501には、テストデータ制御信号502（選択制御信号）およびテストデータ入力信号503（外部信号）が与えられる構成となっている。

【0127】

ここで、テストデータ制御信号502およびテストデータ入力信号503は、例えば、半導体チップ上に設けたテスト用回路や、チップ外部のテスタなどから与えられるT L Bの動作テストのための信号である。

【0128】

また、A S I D比較判定部501においては、A S I D比較判定部102と同様にA S I D有効信号107が生成されるが、A S I D有効信号107は、仮想アドレス比較判定部104に与えられるだけでなく、外部にも出力される構成となっている。

【0129】

なお、A S I D有効信号107を外部に出力する経路および外部からテストデータ入力信号503を入力する経路を含めて、テストデータ入出力経路504と呼称する。

【0130】

<C-1-2. A S I D比較判定部の構成>

図7にA S I D比較判定部501の回路構成の一例を示す。図7に示すようにA S I D比較判定部501は、Pチャネル型のM O Sトランジスタ201と、ラッチ202と、セレクタ601と、O Rゲート602とを備えている。

【0131】

M O Sトランジスタ201のソースは電源P Sに、ドレインはA S I Dマッチライン105に各々接続される。また、M O Sトランジスタ201のゲートには、A S I D比較動作を制御するA S I D比較制御信号203が与えられる。

【0132】

セレクタ601には、選択動作の制御信号としてテストデータ制御信号502が入力され、入力信号として、A S I Dマッチライン105の信号およびテストデータ入力信号503が与えられ、その出力はラッチ202のデータ入力端子(D)に与えられる。

【0133】

また、O Rゲート602には、テストデータ制御信号502およびA S I D比較制御信号203が与えられ、その出力はラッチ202の制御入力端子(C)に与えられる。

【0134】

そして、ラッチ202の出力端子(O)からは、A S I D有効信号107が出力され、仮想アドレス比較判定部104に与えられる。

【0135】

<C-2. 装置動作>

次にT L B300の動作について、図6および図7を参照しつつ説明する。なお、基本的な動作はT L B100と同じであるので重複する説明は省略し、A S I D比較判定部501の動作を中心に説明する。

【0136】

セレクタ601は、テストデータ制御信号502としてLレベルの信号が与えられる場合は、ASIDマッチライン105が選択されるように構成されており、ASIDマッチライン105の信号が、ラッチ202のデータ入力端子(D)に入力される。また、テストデータ制御信号502がLレベルのときは、ORゲート602の出力は、ASID比較制御信号203と一致する。

【0137】

従って、テストデータ制御信号502としてLレベルの信号が与えられる場合は、実質的に実施の形態1のTLB100と同じ構成となり、TLB100と同じASID比較動作および仮想アドレスから物理アドレスへの変換動作を行うことになる。

【0138】

一方、テストデータ制御信号502としてHレベルの信号が与えられる場合は、テストデータ入力信号503が選択されるようにセレクタ601が構成されており、テストデータ入力信号503がラッチ202のデータ入力端子(D)に入力される。

【0139】

また、テストデータ制御信号502がHレベルのときは、ラッチ202はデータ入力端子の値、すなわちテストデータ入力信号503の値を取り込み、ASID有効信号107として出力する。

【0140】

ASID有効信号107、すなわちテストデータ入力信号503が与えられた仮想アドレス比較判定部104では、テストデータ入力信号503のレベルに基づいて、仮想アドレスマッチライン106のチャージ、ディスチャージを任意に設定することができる。

【0141】

<C-3. 効果>

以上説明したように、TLB300においては、ASID比較判定部501のラッチ202の出力を、テストデータ制御信号502によりテストデータ入力信

号503の値に強制的に変更できるので、ASID比較動作を行わない場合で、もラッチ202の出力を変更でき、仮想アドレスから物理アドレスへの変換動作のテストを容易に行うことができる。

【0142】

また、ASID有効信号107をテストデータ入出力経路504を介してTLB外部に出力するようにしたので、ASID比較動作をTLB外部で直接に観測でき、引き続いて行う仮想アドレス比較動作および仮想アドレスから物理アドレスへの変換動作についてのテストを有効に行うことができる。

【0143】

<D. 実施の形態4>

<D-1. 装置構成>

<D-1-1. 全体構成>

図8を用いて本発明に係る実施の形態4のTLB400の構成について説明する。なお、図5に示したTLB200および図6に示したTLB300と同一の構成については同一の符号を付し、重複する説明は省略する。

【0144】

図8に示すように、TLB400は、TLB200におけるASID比較判定部102Aに代えて、ASID比較判定部501Aを有している。そして、ASID比較判定部501Aには、テストデータ制御信号502およびテストデータ入力信号503が与えられる構成となっている。

【0145】

なお、ASID比較判定部501Aの構成は図7を用いて説明したASID比較判定部501Aと基本的に同様であるので重複する説明は省略するが、セレクタ601の入力データとして、ASIDマッチライン105の値の代わりに、ASIDマッチライン401の値が与えられる。

【0146】

<D-2. 装置動作>

次にTLB400の動作について、図7および図8を参照しつつ説明する。なお、基本的な動作はTLB200と同じであるので重複する説明は省略し、AS

ID比較判定部501Aの動作を中心に説明する。

【0147】

セレクタ601は、テストデータ制御信号502としてLレベルの信号が与えられる場合は、ASIDマッチライン105が選択されるように構成されており、ASIDマッチライン401の信号が、ラッチ202のデータ入力端子(D)に入力される。また、テストデータ制御信号502がLレベルのときは、ORゲート602の出力は、ASID比較制御信号203と一致する。

【0148】

従って、テストデータ制御信号502としてLレベルの信号が与えられる場合は、実質的に実施の形態2のTLB200と同じ構成となり、TLB200と同じASIDおよびバリッドデータについての比較動作および仮想アドレスから物理アドレスへの変換動作を行うことになる。

【0149】

一方、テストデータ制御信号502としてHレベルの信号が与えられる場合は、テストデータ入力信号503が選択されるようにセレクタ601が構成されており、テストデータ入力信号503がラッチ202のデータ入力端子(D)に入力される。

【0150】

また、テストデータ制御信号502がHレベルのときは、ラッチ202はデータ入力端子の値、すなわちテストデータ入力信号503の値を取り込み、ASID有効信号107として出力する。

【0151】

ASID有効信号107、すなわちテストデータ入力信号503が与えられた仮想アドレス比較判定部104では、テストデータ入力信号503のレベルに基づいて、仮想アドレスマッチライン402のチャージ、ディスチャージを任意に設定することができる。

【0152】

<D-3. 効果>

以上説明したように、TLB400においては、ASID比較判定部501A

のラッチ202の出力を、テストデータ制御信号502によりテストデータ入力信号503の値に強制的に変更できるので、ASIDおよびバリッドデータの比較動作を行わない場合でもラッチ202の出力を変更でき、仮想アドレスから物理アドレスへの変換動作のテストを容易に行うことができる。

【0153】

また、ASID有効信号107をテストデータ入出力経路504を介してTLB外部に出力するようにしたので、ASIDおよびバリッドデータの比較動作をTLB外部で直接に観測でき、引き続いて行う仮想アドレス比較動作および仮想アドレスから物理アドレスへの変換動作についてのテストを有効に行うことができる。

【0154】

【発明の効果】

本発明に係る請求項1記載のアドレス変換装置によれば、仮想アドレス比較判定部は、その出力ラインをチャージするためのチャージ回路および前記出力ラインへのチャージを禁止するチャージ禁止回路を有し、前記アドレス空間識別子保持値と前記アドレス空間識別子入力値とが一致する場合には、前記仮想アドレス保持値と前記仮想アドレス入力値との比較を行い、その結果に基づいて前記出力ラインの電位状態を制御して前記アドレス変換の実行、非実行を規定するので、アドレス空間識別子の比較結果が不一致の場合、仮想アドレス比較判定部においては比較動作を行わずに済み、消費電力を削減することができる。また、仮想アドレスから物理アドレスへの変換動作を行う際には、アドレス空間識別子保持部およびアドレス空間識別子比較判定部については使用せずに済むので、消費電力を削減することができ、また寄生容量も低減できるので比較速度も向上させることができる。

【0155】

本発明に係る請求項4記載のアドレス変換装置によれば、仮想アドレス比較判定部は、アドレス空間識別子保持値およびバリッドビット保持値と、アドレス空間識別子入力値およびバリッドビット入力値とがそれぞれ一致する場合には、仮想アドレス保持値と仮想アドレス入力値との比較を行い、その結果に基づいてア

ドレス変換の実行、非実行を規定するので、アドレス空間識別子およびバリッドビットの比較結果が不一致の場合、仮想アドレス比較判定部においては比較動作を行わずに済み、消費電力を削減することができる。また、バリッドビットも比較するので、タグエントリ部のデータの有効性も判断対象となり、比較精度を高めることができる。また、仮想アドレスから物理アドレスへの変換動作を行う際には、アドレス空間識別子保持部およびアドレス空間識別子比較判定部については使用せずに済むので、消費電力を削減することができ、また寄生容量も低減できるので比較速度も向上させることができる。

【図面の簡単な説明】

【図1】 本発明に係る実施の形態1のTLBの構成を説明するブロック図である。

【図2】 ASID比較判定部の構成を示す図である。

【図3】 仮想アドレス比較判定部の構成を示す図である。

【図4】 CAMセルの構成を示す図である。

【図5】 本発明に係る実施の形態2のTLBの構成を説明するブロック図である。

【図6】 本発明に係る実施の形態3のTLBの構成を説明するブロック図である。

【図7】 仮想アドレス比較判定部の構成を示す図である。

【図8】 本発明に係る実施の形態4のTLBの構成を説明するブロック図である。

【符号の説明】

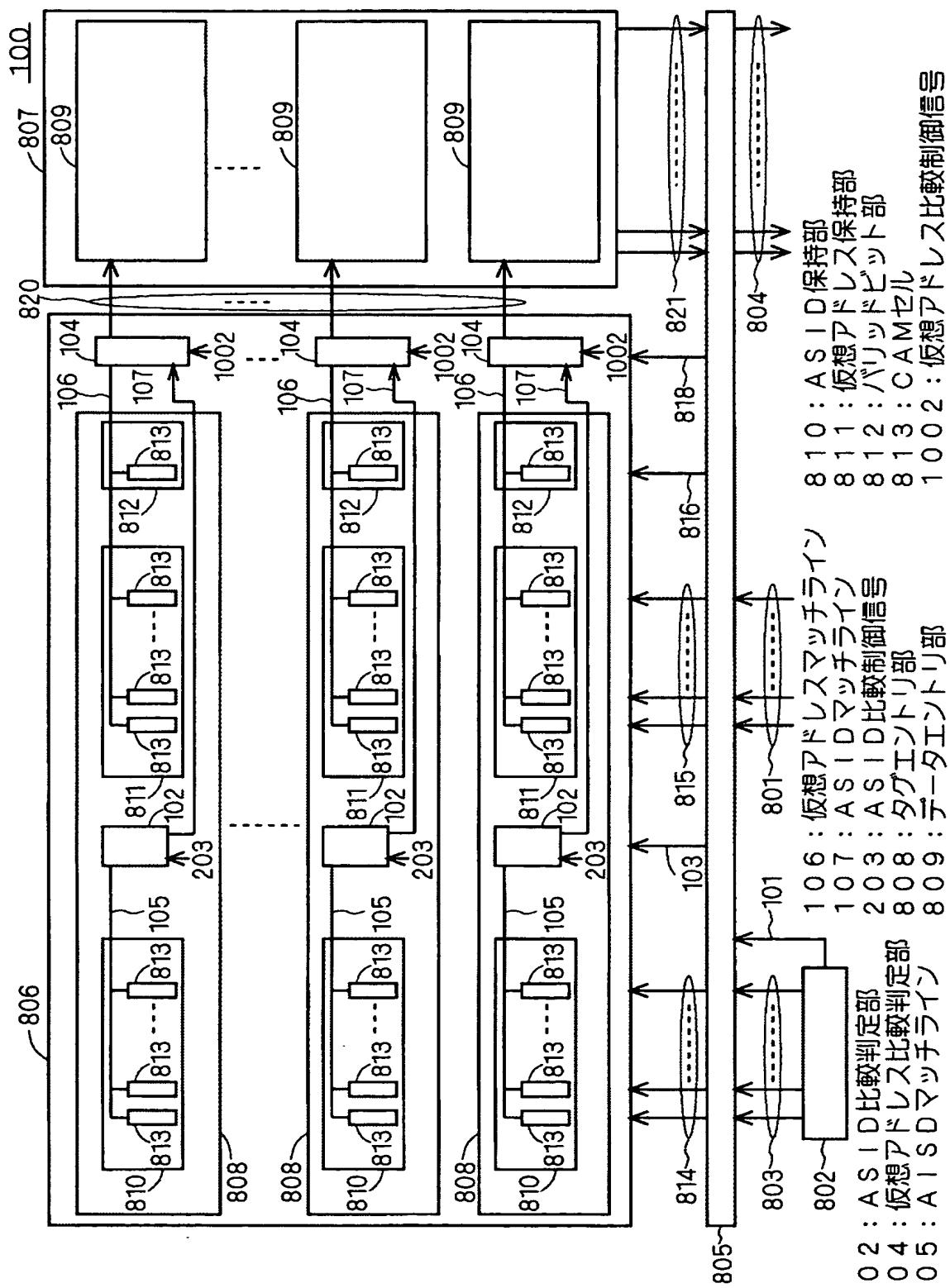
102, 102A, 501 ASID比較判定部、104, 104A 仮想アドレス比較判定部、105, 401 ASIDマッチライン、106, 402 仮想アドレスマッチライン、107 ASID有効信号、202 ラッチ、203 ASID比較制御信号、304, 602 ORゲート、502 テストデータ制御信号、503 テストデータ入力信号、601 セレクタ、808 タグエントリ部、809 データエントリ部、810 ASID保持部、811 仮想アドレス保持部、812 バリッドビット部、813 CAMセル、1002

仮想アドレス比較制御信号。

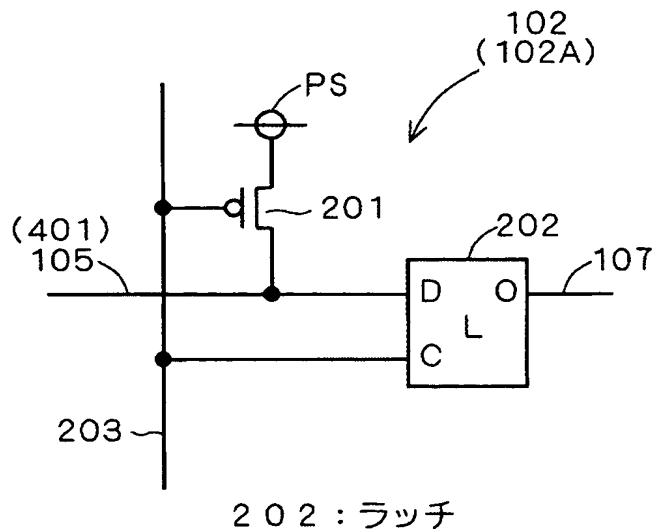
【書類名】

四面

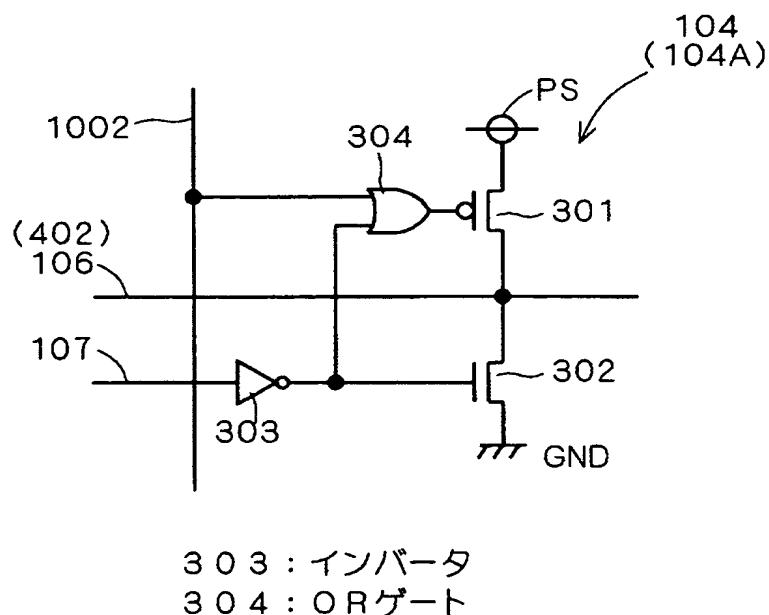
【図1】



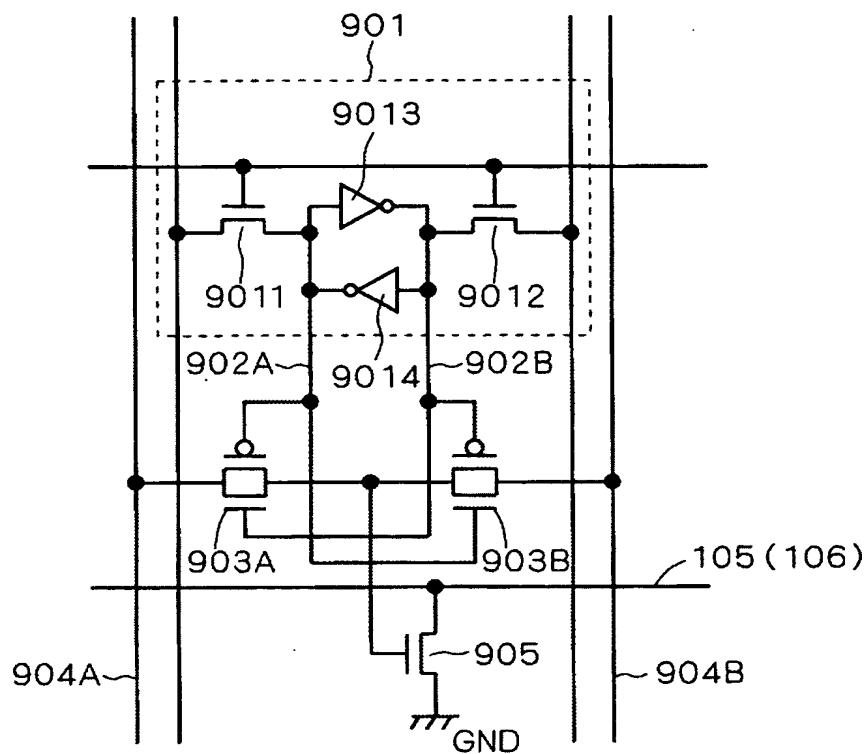
【図2】



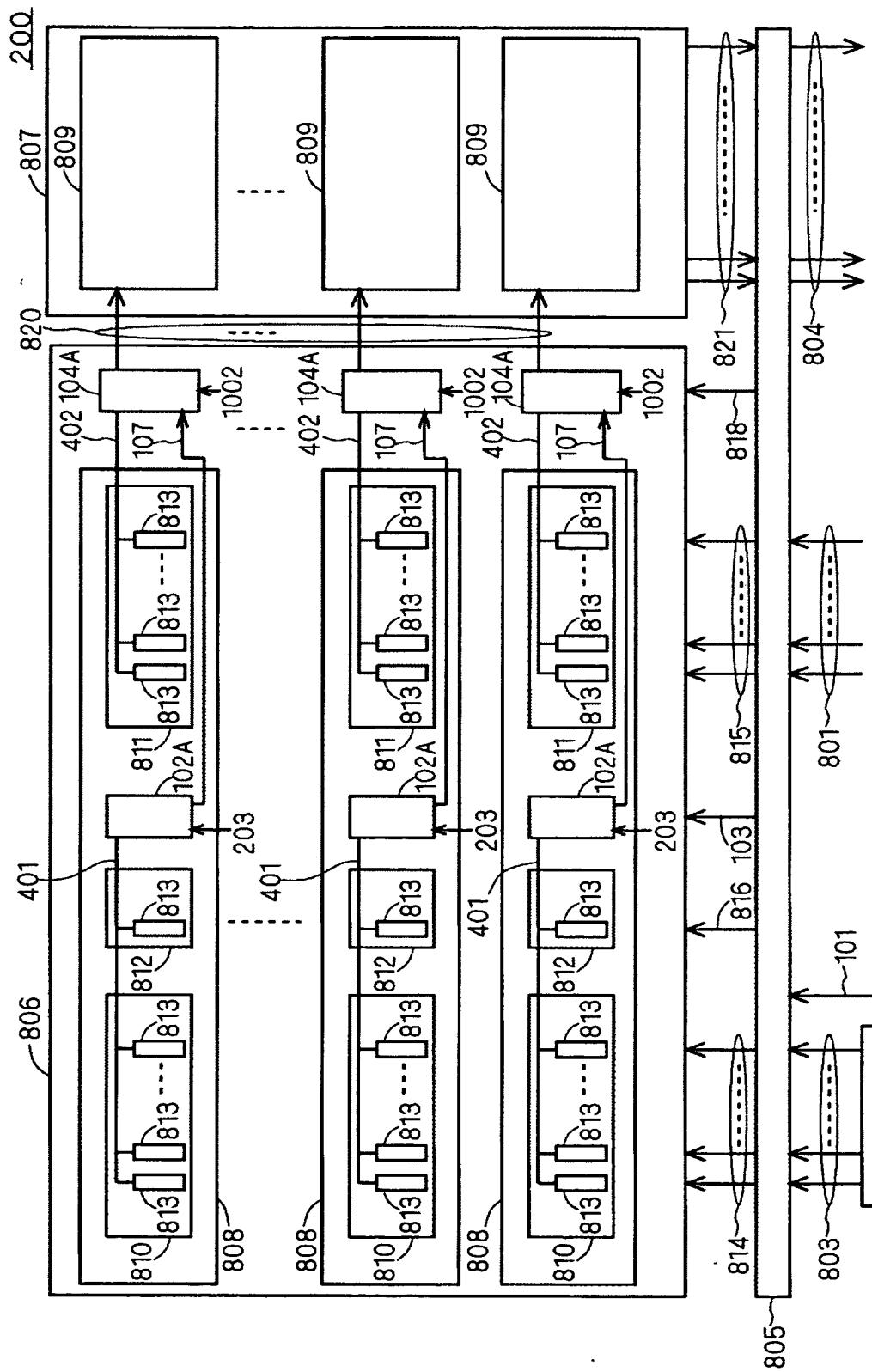
【図3】



【図4】



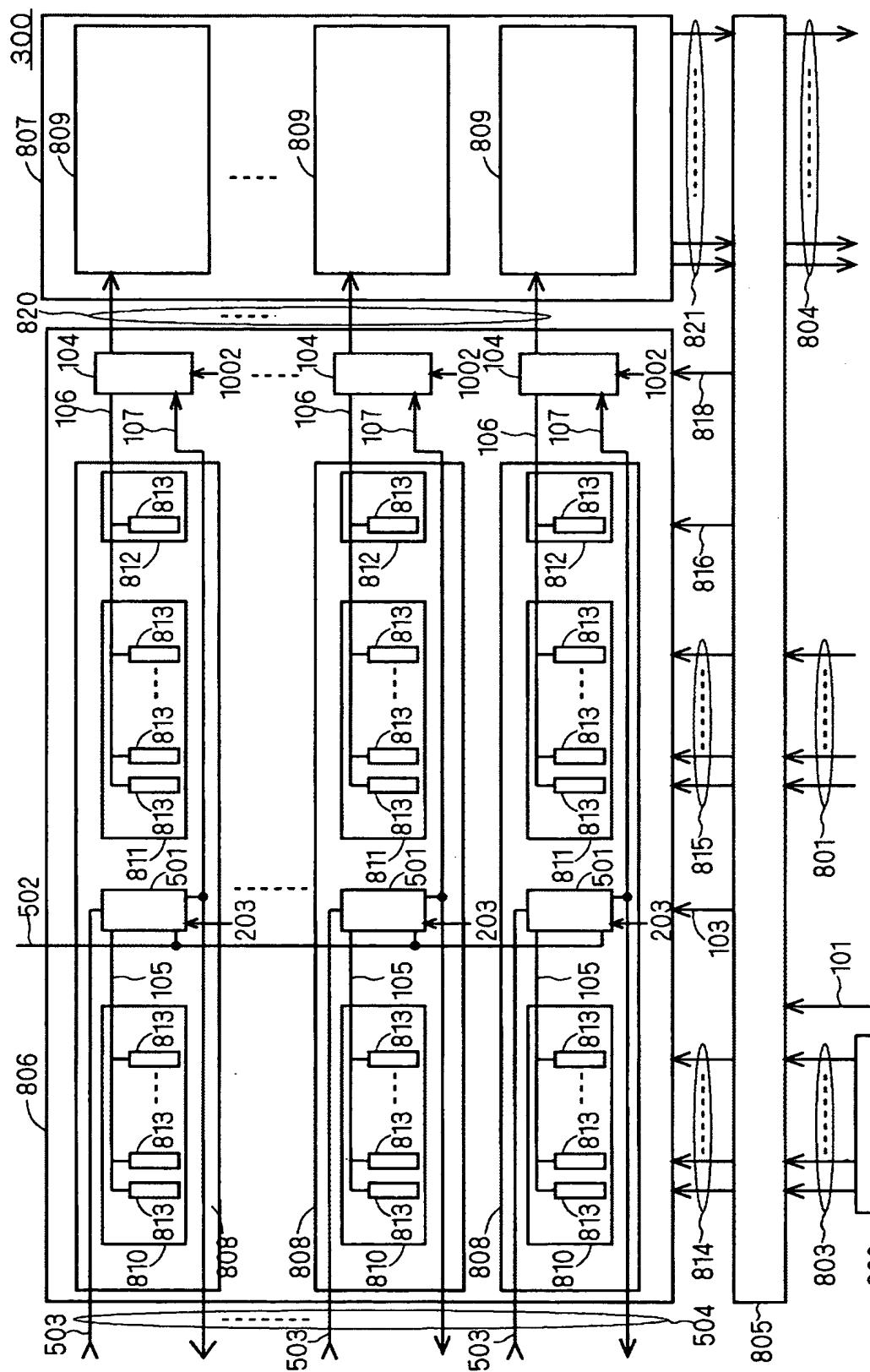
【図5】



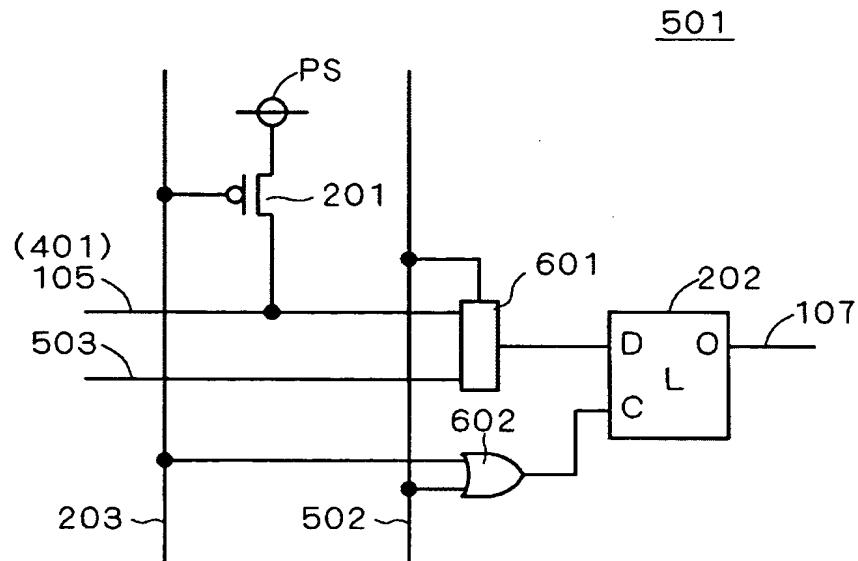
102A : ASID比較判定部
104A : 仮想アドレス比較判定部

401 : ASIDマッチライン
402 : 仮想アドレスマッチライン

【図6】



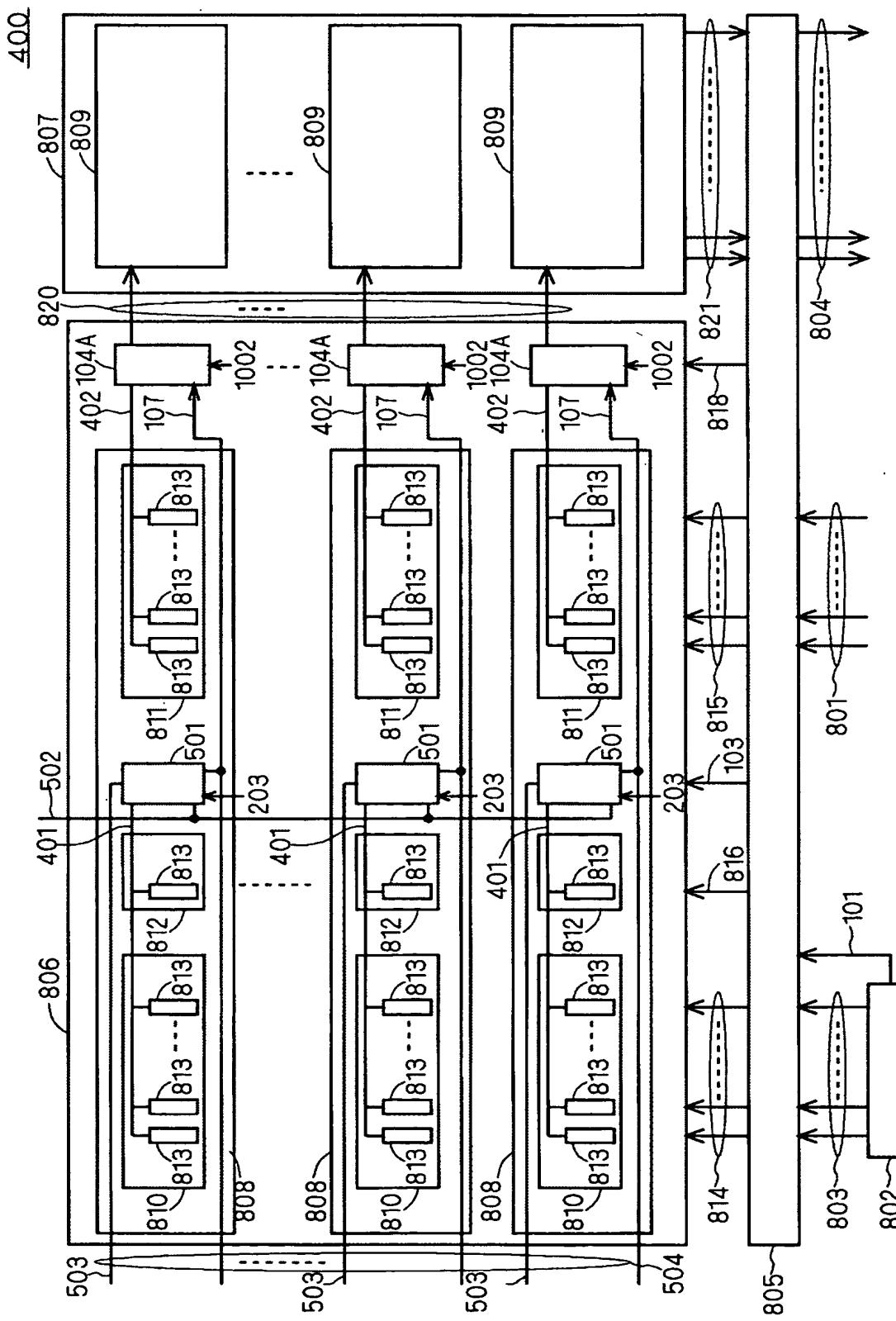
【図7】



601 : セレクタ

602 : ORゲート

[図 8]



【書類名】 要約書

【要約】

【課題】 小さな電力消費で高速に仮想アドレスから物理アドレスに変換できるTLBを提供する。

【解決手段】 タグエントリ部808内には、ASID保持部810、仮想アドレス保持部811、バリッドビット部812、ASID比較判定部102、仮想アドレス比較判定部104とを備えている。ASID保持部810の複数のCAMセル813は、ASIDマッチライン105によって並列に接続されてASID比較判定部102に接続され、仮想アドレス保持部811の複数のCAMセル813およびバリッドビット部812内のCAMセル813は、仮想アドレスマッチライン106によって並列に接続されて、仮想アドレス比較判定部104に接続されている。そして、ASID比較判定部102からは、仮想アドレス比較判定部104にASID有効信号107が与えられる。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社